



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월03일
 (11) 등록번호 10-0973499
 (24) 등록일자 2010년07월27일

(51) Int. Cl.

H03F 1/32 (2006.01)

(21) 출원번호 10-2008-0064687

(22) 출원일자 2008년07월04일

심사청구일자 2008년07월04일

(65) 공개번호 10-2010-0004494

(43) 공개일자 2010년01월13일

(56) 선행기술조사문헌

US06049248 A1*

JP02148907 A

KR100330084 B1

US20030206076 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

홍성철

대전광역시 유성구 어은동 한빛아파트 119-503번지

구본훈

대전광역시 유성구 구성동 한국과학기술원 나노중합랩센터 S-216

(74) 대리인

유원식, 이은철

전체 청구항 수 : 총 5 항

심사관 : 정병홍

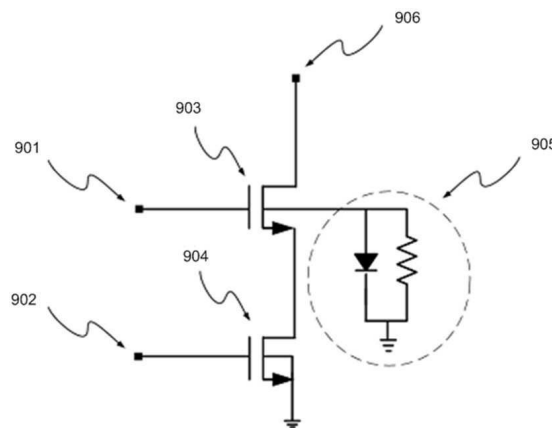
(54) 백 게이트를 이용한 선형 증폭기

(57) 요약

본 발명은 백 게이트를 이용한 선형 증폭기에 관한 것으로서, 입력 전력을 인가받는 캐스코드 증폭기 입력부와, 캐스코드 증폭기 입력부와 접속되는 공통 게이트 증폭기와, 공통 게이트 증폭기와 직렬로 접속되어 R-C필터 기능을 수행하는 저항 및 다이오드, 및 캐스코드 증폭기 출력부를 포함하되, R-C필터에 의해 상기 캐스코드 증폭기 입력부가 인가받는 입력 전력이 증가됨으로써, 캐스코드 증폭기의 출력부의 출력 전력이 증가하여 공통 게이트 증폭기의 백 게이트 직류(DC)전압이 증가하고, 공통 소스 증폭기의 소스와 캐스코드 증폭기 출력부의 교류(AC)전압이 백 게이트에 커플링 되는 것을 특징으로 한다.

본 발명에 따르면, MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 소스(source)와 백 게이트(back-gate)를 분리시켜 입/출력전력에 따라 백 게이트(back-gate)의 전압을 조절하여 문턱 전압 및 강한 비선형 영역의 변화시켜 증폭기의 비선형 구간을 감소시킴으로써, 증폭기의 전체적인 선형성을 향상시키는 효과가 있다.

대표도 - 도9



특허청구의 범위

청구항 1

MOSFET의 소스 및 드레인을 구비한 직류 바이어스와 백 게이트를 이용한 선형 증폭기에 있어서,
 입력 전력을 인가받는 캐스코드 증폭기 입력부(901);
 상기 캐스코드 증폭기 입력부(901)와 접속되는 공통 게이트 증폭기(903);
 상기 공통 게이트 증폭기(903)와 직렬로 접속되어 R-C필터 기능을 수행하는 저항 및 다이오드(905); 및
 캐스코드 증폭기 출력부(906); 을 포함하되,

상기 R-C필터에 의해 상기 캐스코드 증폭기 입력부(901)가 인가받는 입력 전력이 증가됨으로써, 상기 캐스코드 증폭기의 출력부(906)의 출력 전력이 증가하여 상기 공통 게이트 증폭기(903)의 백 게이트 직류(DC)전압이 증가하고, 공통 소스 증폭기(901)의 상기 소스와 캐스코드 증폭기 출력부(906)의 교류(AC)전압이 상기 백 게이트에 커플링 되며, 상기 입력 전력의 증가 및 상기 직류(DC)전압의 증가에 따라 문턱 전압이 감소되고, 감소된 문턱 전압에 대응하도록 증가된 직류(DC)전류에 의해 상기 증폭기의 선형성을 지속시키며, 상기 캐스코드 증폭기 출력부(906)로부터 출력되는 직류(DC)전압을 출력 및 상기 직류(DC)전압의 증가에 따라 문턱 전압이 감소되고, 감소된 문턱 전압에 대응하도록 증가된 직류(DC)전류에 의해 상기 증폭기의 선형성을 지속시키는 것을 특징으로 하는 백 게이트를 이용한 선형 증폭기.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,
 상기 백 게이트가 인가받는 직류(DC)전압을 변화시켜 스위트 스팟(Sweet Spot)의 위치를 조절하는 것을 특징으로 하는 백 게이트를 이용한 선형 증폭기.

청구항 5

제 1 항에 있어서,
 상기 백 게이트가 인가받는 교류(AC)전압을 변화시켜 스위트 스팟(Sweet Spot)의 위치를 조절하는 것을 특징으로 하는 백 게이트를 이용한 선형 증폭기.

청구항 6

제 1 항에 있어서,
 상기 소스 및 드레인으로부터 상기 백 게이트와 커플링된 교류(AC)전압을 인가받아 문턱 전압을 변화시켜 선형성을 지속시키되,
 상기 소스 및 드레인이 상기 직류 바이어스의 전압보다 높은 양(+)의 교류(AC) 입력신호를 인가받아, 상기 백 게이트의 전압을 상기 직류(DC)전압보다 높은 양(+)의 교류(AC)전압으로 변화시킴으로써, 상기 문턱 전압을 낮추어 상기 선형성을 지속시키는 것을 특징으로 하는 백 게이트를 이용한 선형 증폭기.

청구항 7

제 1 항에 있어서,
 상기 소스 및 드레인으로부터 상기 백 게이트와 커플링된 교류(AC)전압을 인가받아 문턱 전압을 소정의 크기로 변화시켜 선형성을 지속시키되,

상기 소스 및 드레인이 상기 직류 바이어스의 전압보다 낮은 음(-)의 교류(AC) 입력신호를 인가받아, 상기 백 게이트의 전압을 상기 직류(DC)전압보다 낮은 음(-)의 교류(AC)전압으로 변화시킴으로써, 상기 문턱 전압을 높여 상기 선형성을 지속시키는 것을 특징으로 하는 백 게이트를 이용한 선형 증폭기.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 백 게이트를 이용한 선형 증폭기에 관한 것으로서, 더욱 상세하게는 MOSFET의 소스(source)와 백 게이트(back-gate)를 분리시켜 입/출력전력에 따라 백 게이트(back-gate 또는 body)의 전압을 조절하여 증폭기의 전체적인 선형성을 향상시키는 백 게이트를 이용한 선형 증폭기에 관한 것이다.

배경기술

[0002] 일반적으로 백 게이트는 도 1 에 도시된 바와 같이, 전계 효과 트랜지스터(MOSFET)에서 가장 낮은 전위에 연결 되도록 구성되며, 이에 따라 대부분의 증폭기에서 소스(102a, 102b)와 백 게이트(104a, 104b)를 묶어서 사용한다.

[0003] 이때의 일반적인 게이트-소스전압(V_{GS})과 드레인 전류(I_D)와의 특성 그래프는 도 2 와 같다.

[0004] [수학식 1]

[0005]
$$V_t = V_{t0} + \Upsilon[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}]$$

[0006] 여기서, V_t 는 변화된 문턱 전압을, V_{t0} 는 초기 문턱 전압을, Υ 은 공정변수(0.3-0.4V)를 $2\phi_f$ 는 물리적 변수(0.6V)를 V_{SB} 는 소스-백 게이트전압을 의미한다.

[0007] 상기와 같은 [수학식 1]에서 알 수 있듯이 소스-백 게이트전압(V_{SB})을 조절하면, 문턱 전압을 조절할 수 있다. 소스-백 게이트전압(V_{SB})을 증가시킬수록, 즉 백 게이트전압을 감소시킬수록, 문턱 전압(V_t)(206)은 증가한다. 이와 같은 현상을 '바디 효과(Body Effect)'라 한다.

[0008] 상술한 바와 같은 바디 효과를 이용하여 입/출력전력에 따라 소스-백 게이트전압(V_{SB})을 직류(DC) 및 교류(AC)적으로 조절하여 게이트-소스전압(V_{GS})과 드레인 전류(I_D)와의 관계를 수평 이동시킴으로써, 선형 증폭기의 선형성을 향상 시킨다.

[0009] 이상적인 선형 증폭기의 경우, 게이트-소스전압(V_{GS})과 드레인 전류(I_D)의 관계는 도 2 에 도시된 201 구간에서 일정한 기울기를 가지는 202와 같다.

[0010] 그러나, MOSFET 소자의 자체적인 비선형적 특성에 따라, 실제 게이트-소스전압(V_{GS})과 드레인 전류(I_D)의 관계는 203처럼 표현되고, 아래의 [수학식 2]는 이를 수식화한 것이다.

[0011] [수학식 2]

[0012]
$$i_{DS} = g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 + \dots$$

[0012]
$$i_{(2\omega_2 - \omega_1)} \propto g_{m3}$$

[0013] 상기 [수학식 2]는 MOSFET의 신호 분석으로 표현된 수학적식으로, 증폭기의 선형성을 감소시키는데 가장 큰 영향을 주는 성분이 도 2 에 표현된 203인 g_{m3} 이다. 즉, 203과 같은 비선형적인 특성이 나타나는 201 구간을 증폭기의 약한 비선형 영역(weakly nonlinear region)이라 한다[1].

[0014] 정리하면, 상술한 바와 같은 전력 증폭기는 전력 증폭기의 선형성 향상을 위하여 게이트-소스 전압에 따른 드레

인 전류를 표현한 뒤, 비선형성에 가장 큰 영향을 주는 g_{m3} 성분을 줄이는 방법으로 선형성을 향상시키고, 이를 위해 복수개의 게이트-소스전압(V_{GS})을 갖는 MOSFET 증폭기를 병렬로 연결하였다.

[0015] 하지만, 드레인 전류(I_D)가 동일한 게이트-소스 전압(V_{GS})에 의한 드레인 전류(I_D)의 그래프 추이를 따라 움직이기 때문에, 약한 비선형 구간에서의 선형성 향상은 있을 수 있으나, 선형 증폭기에서 필연적으로 보이는 강한 비선형 구간을 감소시킬 수 없다는 문제점이 있다.

[0016] 예를 들면, 입력 신호로 큰 폭의 신호가 인가되면, 게이트-소스전압(V_{GS})이 강한 비선형 구간(204, 205)까지 도달한다. 이와 같은 현상을 구체적으로 도 3 을 참조하여 살펴보면, 각기 상이한 게이트-소스전압(V_{GS} : 301a, 302a, 303a)의 증가에 따른 드레인 전류(I_D)는 301b, 302b, 303b와 같다.

[0017] 즉, 게이트-소스전압(V_{GS})이 302a로 일정할 때에 선형적인 특성을 갖는 드레인 전압의 변화폭은 304영역으로 한정된다. 그러므로, 큰 폭의 입력신호에 대해 증폭기의 선형성을 향상시키기 위해서 출력전력에 따라 게이트-소스전압(V_{GS})을 조절하게 되며 이는 아래의 [수학식 3]을 통해 도출되며, $k' = \mu_n C_{ox}$ 이고, W 는 채널 폭, 그리고, L 은 채널 길이이다[2].

[0018] [수학식 3]

[0019]
$$i_{DS} = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2$$

[0020] 하지만, 상술한 바와 같은 선형성 향상을 위한 구조는, 게이트-소스전압(V_{GS})을 전력에 따라 증가시켜 전류(i_{DS})를 증가시켜야 하며, 증폭기의 전체적인 특성이 게이트-소스전압(V_{GS})에 직접적인 영향을 받음에 따라, 게이트-소스전압(V_{GS})의 변화는 선형성 향상뿐만 아니라 입력 및 출력정합의 변화에 따라 전력 이득, 효율 및 특성의 큰 변화를 초래한다.

[0021] 선행 문헌 정보

[0022] [1]. TaeWook Kim, Bonkee kim, Ilku Nam, Beomkyu Ko, and Kwyro ee, "A Low-Power Highly Linear Cascoded Multiple-Gated Transistor CMOS RF Amplifier With 10 dB IP3 Improvement", IEEE MWCL, Vol.13, No.6, pp. 205-207, June 2003.

[0023] [2]. Y. S. Noh, and Chul S. Park , "An Intelligent Power Amplifier MMIC Using a New Adaptive Bias Control Circuit for W-CDMA Applications", IEEE JSSC, Vol.39, No.6, June 2004.

발명의 내용

해결 하고자하는 과제

[0024] 본 발명은 상기와 같은 문제점을 해소하고자 안출된 것으로서, MOSFET의 소스(source)와 백 게이트(back-gate)를 분리시켜 입/출력전력에 따라 백 게이트(back-gate)의 전압을 조절하여 문턱 전압의 변화를 통해, 기존 전력 증폭기의 강한 비선형 구간을 감소시켜 선형 증폭기의 전체적인 선형성을 향상시키는 백 게이트를 이용한 선형 증폭기를 제공함에 특징적인 목적이 있다.

과제 해결수단

[0025] 이러한 기술적 과제를 달성하기 위한 본 발명에 따른 백 게이트를 이용한 선형 증폭기는, 입력 전력을 인가받는 캐스코드 증폭기 입력부와, 캐스코드 증폭기 입력부와 접속되는 공통 게이트 증폭기와, 공통 게이트 증폭기와 직렬로 접속되어 R-C필터 기능을 수행하는 저항 및 다이오드, 및 캐스코드 증폭기 출력부를 포함하되, R-C필터에 의해 캐스코드 증폭기 입력부가 인가받는 입력 전력이 증가됨으로써, 캐스코드 증폭기의 출력부의 출력 전력이 증가하여 공통 게이트 증폭기의 백 게이트 직류(DC)전압이 증가하고, 공통 소스 증폭기의 소스와 캐스코드 증폭기 출력부의 교류(AC)전압이 백 게이트에 커플링 되는 것을 특징으로 한다.

- [0026] 또한, 입력 전력의 증가 및 직류(DC)전압의 증가에 따라 문턱 전압이 감소되며, 감소된 문턱 전압에 대응하도록 증가된 직류(DC)전류에 의해 증폭기의 선형성을 지속시키는 것을 특징으로 한다.
- [0027] 또한, 캐스코드 증폭기 출력부로부터 출력되는 직류(DC)전압을 출력 및 직류(DC)전압의 증가에 따라 문턱 전압이 감소되며, 감소된 문턱 전압에 대응하도록 증가된 직류(DC)전류에 의해 증폭기의 선형성을 지속시키는 것을 특징으로 한다.
- [0028] 또한, 백 게이트가 인가받는 직류(DC)전압을 변화시켜 스위트 스팟(Sweet Spot)의 위치를 조절하는 것을 특징으로 한다.
- [0029] 또한, 백 게이트가 인가받는 교류(AC)전압을 변화시켜 스위트 스팟(Sweet Spot)의 위치를 조절하는 것을 특징으로 한다.
- [0030] 또한, 소스 및 드레인으로부터 백 게이트와 커플링된 교류(AC)전압을 인가받아 문턱 전압을 변화시켜 선형성을 지속시키되, 소스 및 드레인이 직류 바이어스의 전압보다 높은 양(+)의 교류(AC) 입력신호를 인가받아, 백 게이트의 전압을 직류(DC)전압보다 높은 양(+)의 교류(AC)전압으로 변화시킴으로써, 문턱 전압을 낮추어 선형성을 지속시키는 것을 특징으로 한다.
- [0031] 그리고, 소스 및 드레인으로부터 백 게이트와 커플링된 교류(AC)전압을 인가받아 문턱 전압을 소정의 크기로 변화시켜 선형성을 지속시키되, 소스 및 드레인이 직류 바이어스의 전압보다 낮은 음(-)의 교류(AC) 입력신호를 인가받아, 백 게이트의 전압을 직류(DC)전압보다 낮은 음(-)의 교류(AC)전압으로 변화시킴으로써, 문턱 전압을 높여 선형성을 지속시키는 것을 특징으로 한다.

효 과

- [0032] 상기와 같은 본 발명에 따르면, MOSFET의 소스(source)와 백 게이트(back-gate)를 분리시켜 입/출력전력에 따라 백 게이트(back-gate)의 전압을 조절하여 문턱 전압 및 강한 비선형 영역의 변화시켜 증폭기의 비선형 구간을 감소시킴으로써, 증폭기의 전체적인 선형성을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0033] 본 발명의 구체적인 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다. 또한, 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.
- [0034] 이하, 본 발명에 따른 백 게이트를 이용한 선형 증폭기(900)를 살펴보기 이전에 바디 효과(Body Effect)에 따라 증폭기의 선형성 향상을 위한 두 가지 원리를 살펴보면 아래와 같다.
- [0035] 첫째로, 도 4 를 참조하여 살펴보면, 공통 게이트(Common Gate)증폭기에서 출력 전력에 따라 백 게이트의 직류(DC)전압(V_B)이 증가(401)하는 컴퓨터 모사결과를 나타낸 도면. 여기서, 402는 선형 증폭기에서 백 게이트를 소스와 연결하였을 때의 백 게이트 직류(DC)전압 특성을 나타내는 것으로, 출력전력과는 관계없이 동일한 직류(DC)전압을 가지는 것을 알 수 있다.
- [0036] 한편, 도 5 는 출력 전력에 따른 소스-백 게이트 직류전압(V_{SB})의 변화를 컴퓨터 모사 결과로 나타낸 도면이다. 도 5 를 참조하면, 백 게이트의 직류전압이 출력 전력에 따라 증가하고, 소스 직류전압은 일정하기 때문에, 소스-백 게이트 직류전압(V_{SB})은 출력 전력에 따라 감소(501)한다. 이로 인해 문턱전압(V_t)이 점진적으로 감소한다.
- [0037] 출력전력에 따른 문턱 전압의 변화량(ΔV_T)은 도 6a 에 도시된 바와 같이, 출력전력에 따라 백 게이트의 직류전압을 증가시키면 601과 같고, 602는 일반적인 경우를 나타낸 것으로, 드레인 전류(i_{DS})를 증가시켜 전체적인 증폭기의 선형성이 증가됨을 알 수 있다.
- [0038] 부연하면, 전력에 따라 백 게이트 직류(DC)전압을 조금씩 증가 시키는 것은 전력에 따라 마치 스위트 스팟(Sweet Spot)을 이동시키는 것처럼 생각할 수 있다. 도 6b 에 도시된 바와 같이, 일반적으로 증폭기가 클래스 B모드로

동작할 때, 입력 전력의 증가가 게이트-소스 전압(V_{GS})의 증가에 기여하여 일시적으로 증폭기의 전압 이득이 증가하면서 선형 특성이 증가하는 지점이 생기게 되는데 이를 스위트 스팟이라 한다.

[0039] 하지만, 상기 스위트 스팟은 게이트-소스전압(V_{GS})에 매우 민감한 특성을 가지고 있기 때문에, 일반적인 선형 증폭기 설계에서 사용하는 클래스 AB모드에서는 스위트 스팟이 단 한 개의 점으로만 생긴다.

[0040] 상술한 바와 같이, 백 게이트의 직류(DC)전압은 전체 증폭기의 특성을 미세하게 조절할 수 있으므로, 스위트 스팟이 한 점이 아닌 여러 구간에 존재하도록 하여 일정 구간에서 지속적으로 형성되는 스위트 리전(Sweet Region)을 생성할 수 있다.

[0041] 둘째로, 상술한 백 게이트의 직류(DC)전압의 증가를 통한 선형성의 향상과는 달리, 소스와 드레인으로부터 백 게이트에 커플링 된 교류(AC)전압을 이용하는 원리가 있다.

[0042] 선형 증폭기의 경우, 강한 비선형 구간은 MOSFET 증폭기의 동작영역이 트라이오드(triode)영역으로, 일반적인 선형 증폭기의 증폭구간으로 사용하는 포화(saturation)영역에서 벗어나 증폭기의 전체적인 선형성을 감소시킨다.

[0043] 선형적인 특성을 갖는 포화영역과 비선형적 특성을 갖는 트라이오드영역의 경계는 아래의 [수학식 4]를 통해 도출된다.

[0044] [수학식 4]

$$\begin{aligned} & \text{if } V_{GS} > V_t; \\ & \quad (\text{saturation region}) \quad V_{GD} > V_t \\ & \quad (\text{triode region}) \quad V_{GD} > V_t \end{aligned}$$

[0045] 상기 [수학식 4]에서 알 수 있듯이 직류(DC)바이어스 전압 보다 큰 양(+)의 교류(AC)입력신호가 인가되어 전류 증폭기의 특성이 도 2 에 도시된 비선형 구간(204)으로 진행될 때, 문턱 전압(V_t)을 증가시키게 되면, 201 구간이 상대적으로 우측으로 이동하여 포화영역이 증가함에 따라 증폭기의 전체적인 선형성을 증가시킬 수 있다.

[0047] 반대로, 직류(DC)바이어스 전압 보다 큰 음(-)의 교류(AC)입력신호가 인가될 경우, 증폭기의 동작 영역이 비선형 구간(205)로 이동하여 게이트-소스 전압(V_{GS})이 문턱 전압보다 낮아 증폭기가 꺼지는 컷 오프(Cut-off)영역으로 동작하여 전체적인 선형성을 감소시킨다. 따라서, 문턱 전압(V_t)을 감소시키면 상대적으로 201 구간이 좌측으로 이동하여 포화영역이 증가하는 효과를 볼 수 있다.

[0048] 즉, 소스와 백 게이트를 분리하면, MOSFET 자체의 기생 캐패시터에 의해 소스와 드레인의 교류(AC)전압이 백 게이트에 커플링이 되고, 이를 이용하면 증폭기의 선형성을 향상시킬 수 있다.

[0049] 한편, 도 7 은 공통 게이트(Common Gate) 증폭기가 소스에 직류(DC)바이어스 전압보다 큰 양(+)의 교류(AC)입력신호를 입력받을 경우를 도시한 도면이다.

[0050] 도 7 을 참조하면, 701은 일반적인 소스와 백 게이트를 연결한 경우의 포화영역이고, 그에 따른 드레인 전류(i_{DS})는 702와 같다.

[0051] 소스가 큰 양(+)의 교류(AC)입력신호를 인가받을 때, 백 게이트의 전압을 증가시켜 낮아진 문턱 전압에 따라 이동된 드레인 전류(i_{DS})는 703이다. 이때, 포화영역은 704와 같고, 양(+)의 교류(AC)신호를 커플링 하여 백 게이트의 전압을 증가시켰을 때의 드레인 전류(i_{DS}) 특성은 705와 같다.

[0052] 따라서, 백 게이트 조절에 의해 변경된 포화영역(706)에서 알 수 있듯이 전체적인 증폭기의 선형성이 증가된다.

[0053] 그리고, 도 8 은 공통 게이트(Common Gate) 증폭기가 소스에 직류(DC)바이어스 전압보다 큰 음(-)의 교류(AC)입력신호를 입력받을 경우를 도시한 도면이다.

[0054] 도 8 을 참조하면, 801은 일반적인 소스와 백 게이트를 연결한 경우의 포화영역이고, 그에 따른 드레인 전류(i_{DS})는 802와 같다.

[0055] 소스가 큰 음(-)의 교류(AC)입력신호를 인가받을 때, 백 게이트의 전압을 증가시켜 낮아진 문턱 전압에 따라 이동된 드레인 전류(i_{DS})는 803이다. 이때, 포화영역은 804와 같고, 음의 교류(AC)신호를 커플링 하여 백 게이트의

전압을 증가시켰을 때의 드레인 전류(i_{DS}) 특성은 805와 같다.

- [0056] 따라서, 백 게이트 조절에 의해 변경된 포화영역(806)에서 알 수 있듯이 전체적인 증폭기의 선형성이 증가된다.
- [0057] 즉, 큰 양(+)/음(-)의 신호 양자에 대해서 백 게이트와 소스를 분리시킴으로써, 교류(AC)신호를 커플링하면 증폭기의 선형성을 향상시킬 수 있다. 또한, 직류 바이어스의 전압 보다 큰 음(-)의 신호가 인가되는 경우, 다이오드가 오프상태로 전환되어 오픈되고, 상기 소스와 드레인에 커플링된 신호에 따라 백 게이트 전압이 음(-)의 값을 갖는다.
- [0058] 이하, 상술한 바와 같은 바디 효과(Body Effect)에 따라 증폭기의 선형성 향상을 위한 두 가지 원리를 기반으로, 도 9 를 참조하여 발명에 따른 백 게이트를 이용한 선형 증폭기(900)를 살펴보면 다음과 같다.
- [0059] 본 발명에 따른 백 게이트를 이용한 선형 증폭기(900)는 도 9 에 도시된 바와 같이, 입력 전력을 인가받는 캐스 코드(cascode) 증폭기 입력부(901)와, 공통 게이트 증폭기(903)의 백 게이트와 직렬로 접속되어 R-C필터 기능을 수행하는 저항 및 다이오드(905), 및 증폭된 전력을 출력하는 캐스코드 증폭기 출력부(906)를 포함하여 이루어진다.
- [0060] 기능적으로 살펴보면, 공통 게이트 증폭기(903)의 백 게이트에 직렬로 접속된 저항 및 다이오드(905)의 R-C 필터에 의해, 캐스코드 증폭기 입력부(901)가 인가받는 입력 전력이 증가하고, 캐스코드 증폭기 출력부(906)의 출력 전력이 증가하여 백 게이트의 직류(DC)전압이 증가하고, 공통 소스 증폭기(901)의 소스와 캐스코드 증폭기 출력부(906)의 교류(AC)전압이 백 게이트에 커플링 된다.
- [0061] 여기서, 캐스코드 증폭기란, common source 증폭기와 common gate 증폭기를 결합한 증폭기이다.
- [0062] 이하, 상술한 바와 같은 본 발명에 따른 백 게이트를 이용한 선형 증폭기에 대한 컴퓨터 모사결과를 도 10 및 도 11 을 참조하여 살펴보면 아래와 같다.
- [0063] 먼저, 도 10 은 백 게이트를 이용한 선형 증폭기에서 여러 입력 전력에 따른 공통 게이트 증폭기의 소스단의 전압을 시간 축으로 나타낸 그래프는 1001 이고, 1002는 드레인(drain)단의 전압, 1003은 백 게이트단의 전압을 나타낸 것이다. 1001 및 1002는 입력 전력이 증가함에 따라 교류(AC)전압의 폭이 커지고, 이와 동일하게 백 게이트단의 전압(1003) 또한 교류전압의 폭이 증가하는 것을 알 수 있다.
- [0064] 즉, 백 게이트단의 전압을 소스와 분리시킴으로써, 교류(AC)가 소스 및 드레인 신호와 커플링된다.
- [0065] 또한, 도 10 및 도 11을 참조하여 살펴보면, 1101은 백 게이트를 이용한 선형 증폭기에서 여러 입력 전력에 따른 공통 게이트 증폭기의 게이트-소스 전압(V_{GS})을 시간 축으로 나타낸 그래프이고, 1102는 소스-백 게이트 전압(V_{SB}), 1103은 1102에 따른 문턱 전압(V_t)의 변화량(ΔV_T)이다.
- [0066] 앞서 상술한 도 8 및 도 11 을 참조하면, 큰 음(-)의 신호(1001)를 소스가 입력으로 인가받음과 동시에, 1101에서 큰 양(+의 신호를 갖게 되고, 이 경우 1102는 큰 양(+의 신호를 가짐으로써, 1103을 증폭하여 선형 영역을 804에서 806과 같이 증가시킨다.
- [0067] 또한, 큰 음(-)의 신호(1001)가 소스에 입력으로 인가될 때는 1101에서 큰 양(+의 신호를 갖고, 이 경우의 1102는 큰 양(+의 신호를 가짐으로써 1103을 크게 하여 선형 영역을 804에서 806으로 증가 시킨다.
- [0068] 한편, 도 12 는 본 발명에 따른 백 게이트를 이용한 선형 증폭기(900)를 집적회로로 제작한 것을 나타낸 도면이다.
- [0069] 도 12 에 도시된 백 게이트를 이용한 선형 증폭기는, 1950MHz의 주파수 대역에 최적화 되도록 제작되었으며, 출력 전력에 따른 선형성(IMD3)은 도 13 과 같다. 1301은 종래의 백 게이트 연결에 따른 선형성을 나타낸 그래프이고, 본 발명에 따라 입력 신호를 두 개의 톤으로 인가하였을 때의 선형성(1302)은, 종래의 증폭기에 비해 출력 전력이 23dBm 내지 29dBm(2tone의 P1dB)의 선형성이 향상되고, 평균 10dB 이상 개선됨을 알 수 있다.
- [0070] 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

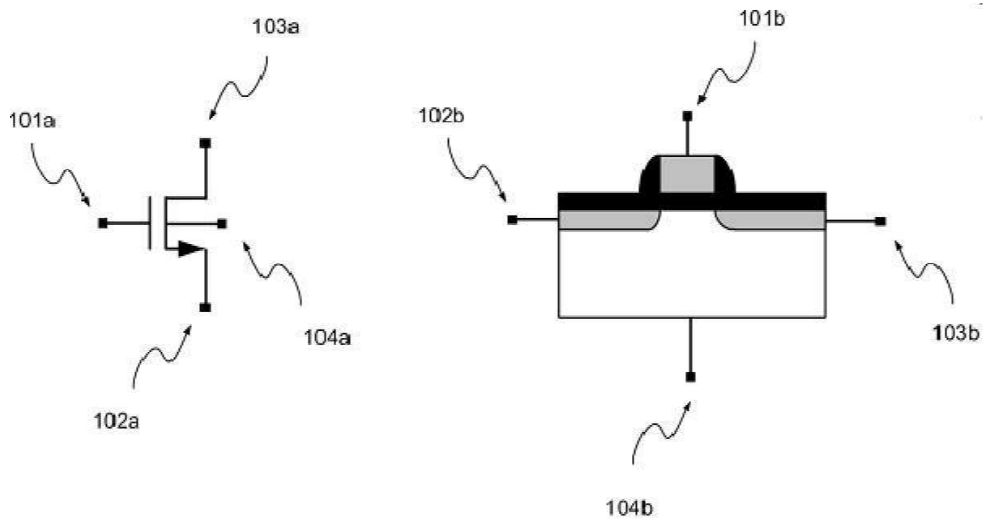
도면의 간단한 설명

- [0071] 도 1 은 종래의 MOSFET의 회로도 및 단면도를 간략하게 나타낸 구성도.
- [0072] 도 2 는 종래의 MOSFET의 게이트-소스전압(V_{GS})과 드레인 전류(I_D)와의 특성을 나타낸 도면.
- [0073] 도 3 은 종래의 MOSFET의 드레인-소스전압(V_{DS})과 드레인 전류(I_D)와의 특성을 다양한 게이트-소스전압(V_{GS})에 대하여 나타낸 도면.
- [0074] 도 4 는 출력전력(P_0)에 따른 백 게이트전압(V_B)의 변화를 컴퓨터 모사 결과로 나타낸 도면.
- [0075] 도 5 는 출력전력(P_0)에 따른 백 게이트-소스전압(V_{SB})의 변화를 컴퓨터 모사 결과로 나타낸 도면.
- [0076] 도 6a 은 출력전력(P_0)에 따른 문턱전압의 특성(V_T)의 변화를 컴퓨터 모사 결과로 나타낸 도면.
- [0077] 도 6b 는 일반적인 선형 증폭기에 대한 스위트 스팩의 일례를 나타낸 도면.
- [0078] 도 7 은 공통 게이트(Common Gate) 증폭기에서 소스에 음(-)의 큰 입력 교류(AC)신호가 들어 올 경우 본 발명에 의해 변경된 게이트-소스전압에 대한 드레인 전류를 나타낸 도면.
- [0079] 도 8 은 공통 게이트 증폭기에서 소스에 양(+)의 큰 입력 교류(AC)신호가 들어 올 경우 본 발명에 의해 변경된 게이트-소스전압에 대한 드레인 전류를 나타낸 도면.
- [0080] 도 9 는 본 발명에 따른 백 게이트를 이용한 선형 증폭기 구조에서 공통 게이트 증폭기의 백 게이트에 다이오드를 연결한 도면이다.
- [0081] 도 10은 본 발명에 따른 백 게이트를 이용한 선형 증폭기의 입력 전력에 변화에 따른 공통 게이트 증폭기 각 노드의 전압을 시간축으로 나타낸 파형을 도시한 도면.
- [0082] 도 11은 본 발명에 따른 백 게이트를 이용한 선형 증폭기에서 입력 전력에 변화에 따른 바디 효과에 영향을 주는 전압을 시간축으로 나타낸 파형을 도시한 도면.
- [0083] 도 12는 본 발명에 따른 백 게이트를 이용한 선형 증폭기를 직접회로로 제작한 컴퓨터 모사 결과를 나타낸 도면.
- [0084] 도 13은 본 발명에 따른 백 게이트를 이용한 선형 증폭기의 출력 전력에 따른 선형성(IMD3)을 컴퓨터 모사 결과로 나타낸 도면.
- [0085] ** 도면의 주요 부분에 대한 부호의 설명 **
- [0086] 101a, 101b: 게이트
- [0087] 102a, 102b: 소스
- [0088] 103a, 103b: 드레인
- [0089] 104a, 104b: 백 게이트
- [0090] 201: 증폭기의 약한 비선형 영역
- [0091] 202: 게이트-소스전압과 드레인 전류간의 기울기
- [0092] 203: 비선형 특성
- [0093] 204, 205: 게이트-소스전압이 강한 비선형구간
- [0094] 206: 문턱 전압
- [0095] 301a, 302a, 303a: 고정된 게이트-소스전압에서, 드레인-소스 전압에 따른 드레인 전류
- [0096] 301b, 302b, 303b: 고정된 드레인-소스전압에서, 게이트-소스 전압에 따른 드레인 전류
- [0097] 304: 드레인-소스 전압의 변화폭
- [0098] 401: 백 게이트와 소스가 분리됨에 따른 백 게이트의 직류전압
- [0099] 402: 백 게이트와 소스가 연결됨에 따른 백 게이트의 직류전압

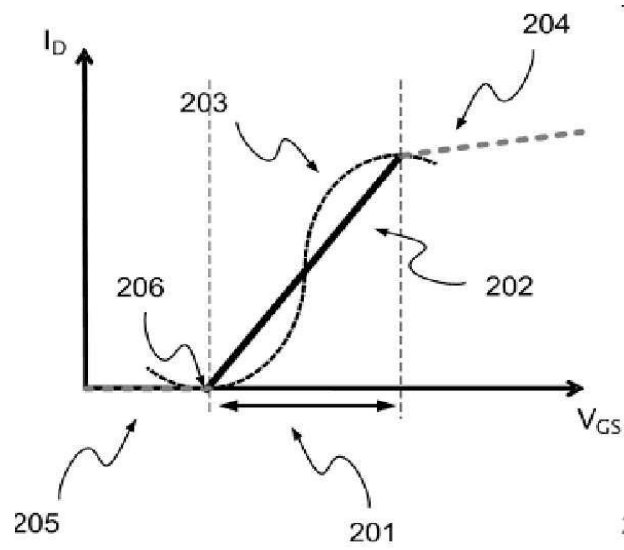
- [0100] 501: 백 게이트와 소스가 분리됨에 따른 소스-백 게이트 직류전압
- [0101] 502: 백 게이트와 소스가 연결됨에 따른 소스-백 게이트 직류전압
- [0102] 601: 백 게이트와 소스가 분리됨에 따른 문턱 전압의 변화량
- [0103] 602: 백 게이트와 소스가 연결됨에 따른 문턱 전압의 변화량
- [0104] 603: 일반적인 선형 증폭기에서 형성된 스위트 스팩
- [0105] 701, 801: 소스와 백 게이트 연결에 따른 포화영역
- [0106] 702, 802: 소스와 백 게이트 연결에 따른 드레인 전류
- [0107] 703, 803: 문턱 전압에 따라 이동된 드레인 전류
- [0108] 704, 804: 문턱 전압에 따라 이동된 포화영역
- [0109] 705: 양의 교류신호와 커플링된 드레인 전류
- [0110] 706, 806: 백 게이트 조절에 따라 변경된 포화영역
- [0111] 805: 음의 교류신호와 커플링된 드레인 전류
- [0112] 901: 공통 게이트 증폭기의 게이트
- [0113] 902: 공통 소스 증폭기의 게이트 및 캐스코드 증폭기의 입력부
- [0114] 903: 캐스코드 증폭기의 구성요소 인 공통 게이트 증폭기
- [0115] 904: 캐스코드 증폭기의 구성요소 인 공통 소스 증폭기
- [0116] 905: 백 게이트 다이오드 및 병렬저항
- [0117] 906: 캐스코드 증폭기 출력부
- [0118] 1001: 공통 게이트 증폭기의 소스 전압
- [0119] 1002: 공통 게이트 증폭기의 드레인 전압
- [0120] 1002: 공통 게이트 증폭기의 백 게이트 전압
- [0121] 1101: 게이트-소스 전압
- [0122] 1102: 소스-백 게이트 전압
- [0123] 1103: 소스-백 게이트 전압에 따른 문턱 전압의 변화량
- [0124] 1301: 종래의 백 게이트 연결에 따른 선형성 그래프
- [0125] 1302: 본 발명에 의한 선형성 그래프

도면

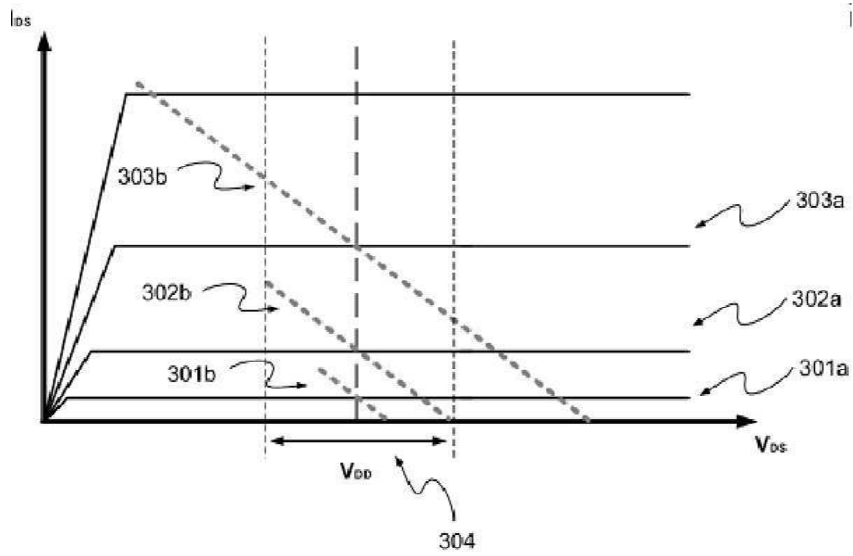
도면1



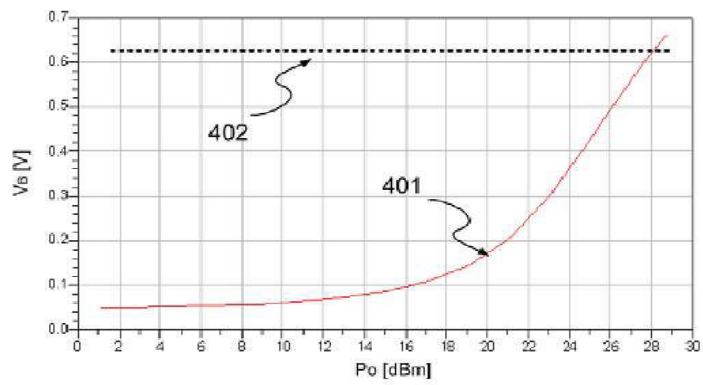
도면2



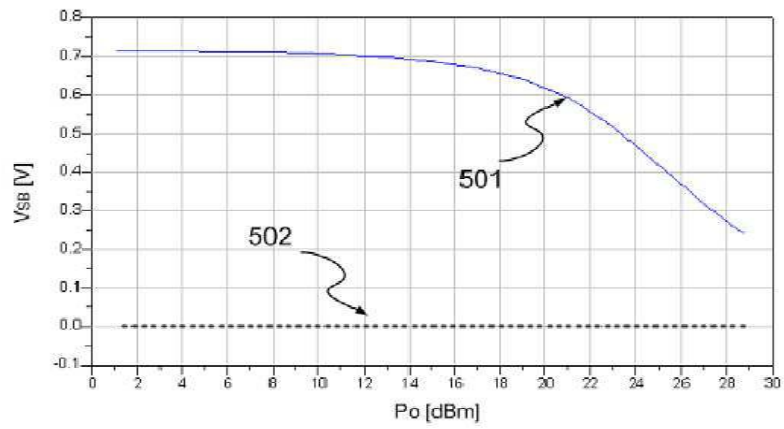
도면3



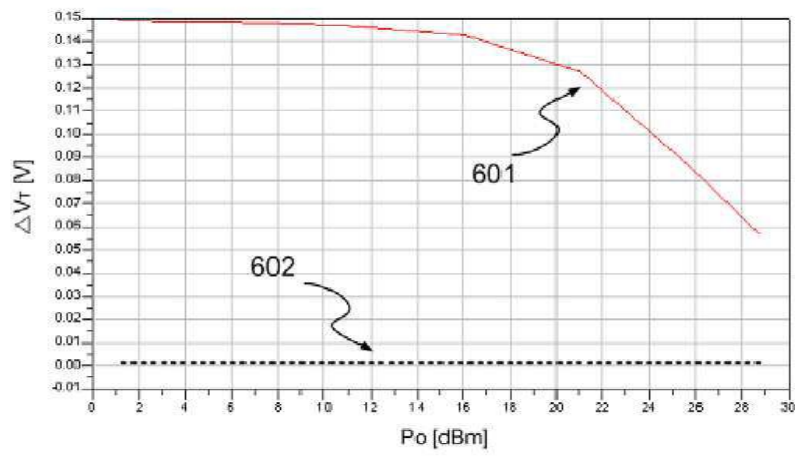
도면4



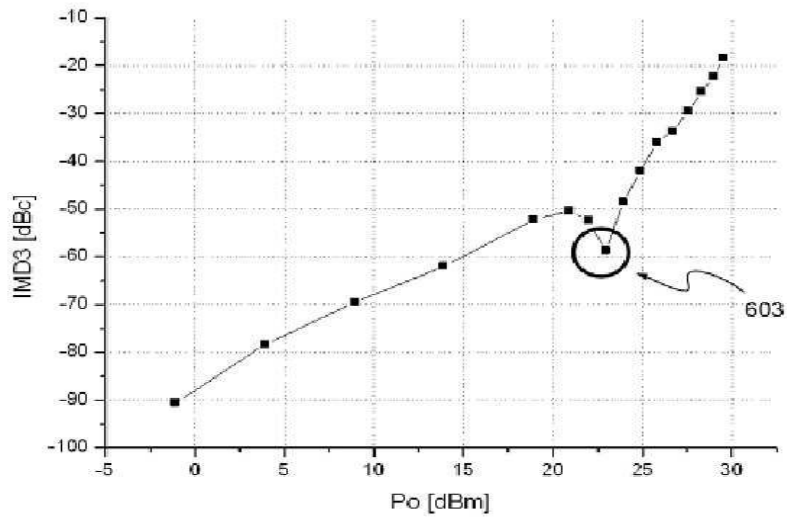
도면5



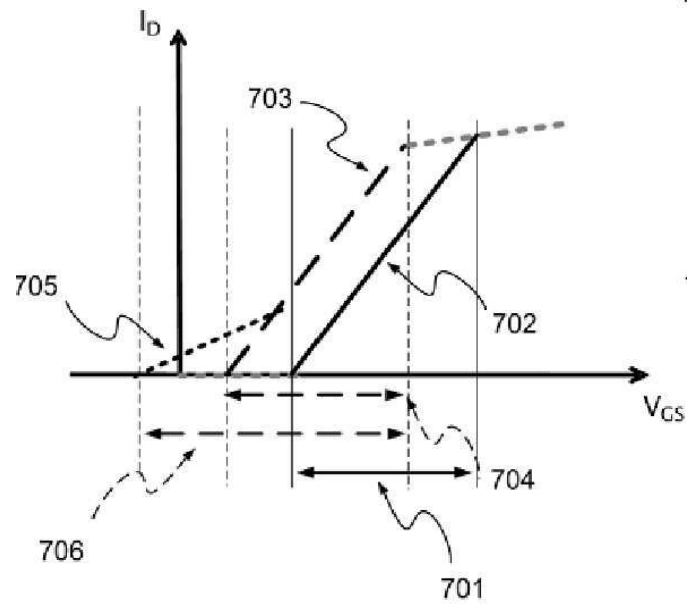
도면6a



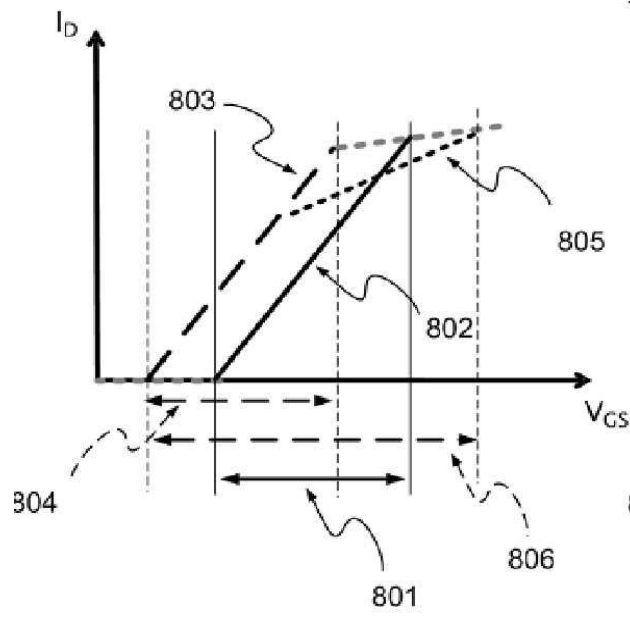
도면6b



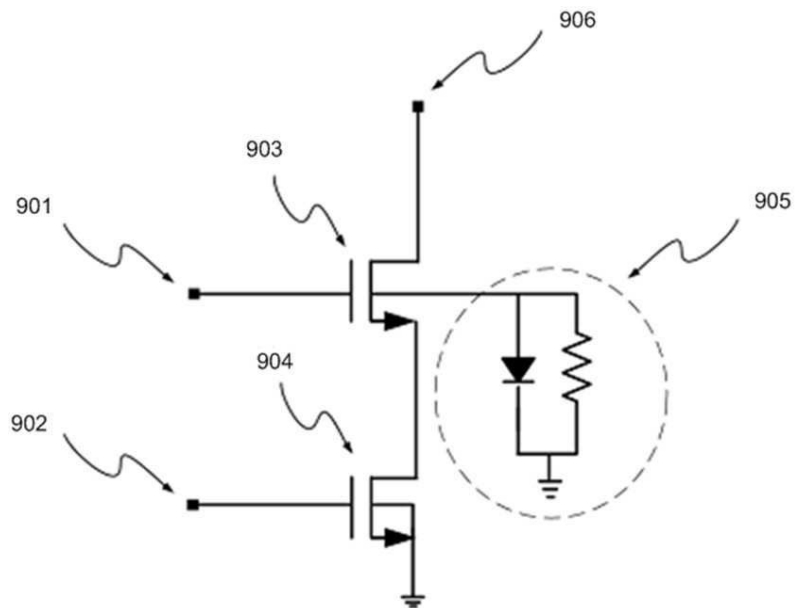
도면7



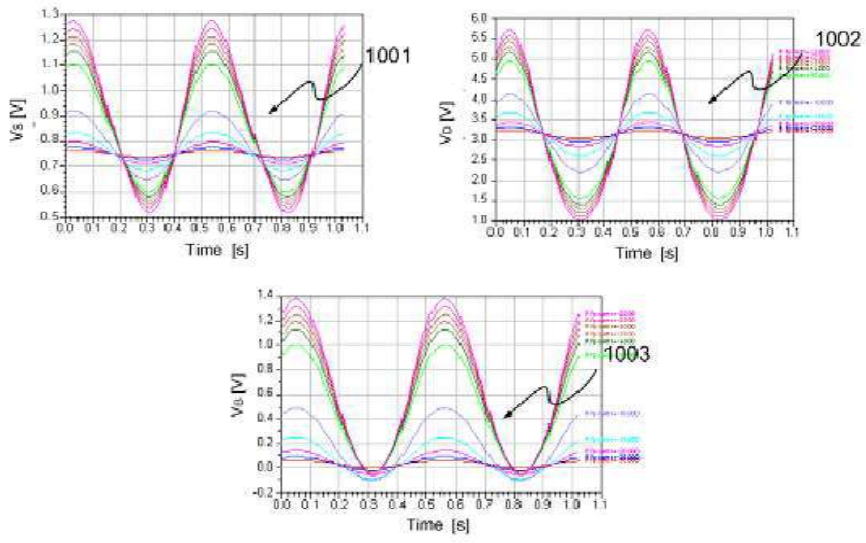
도면8



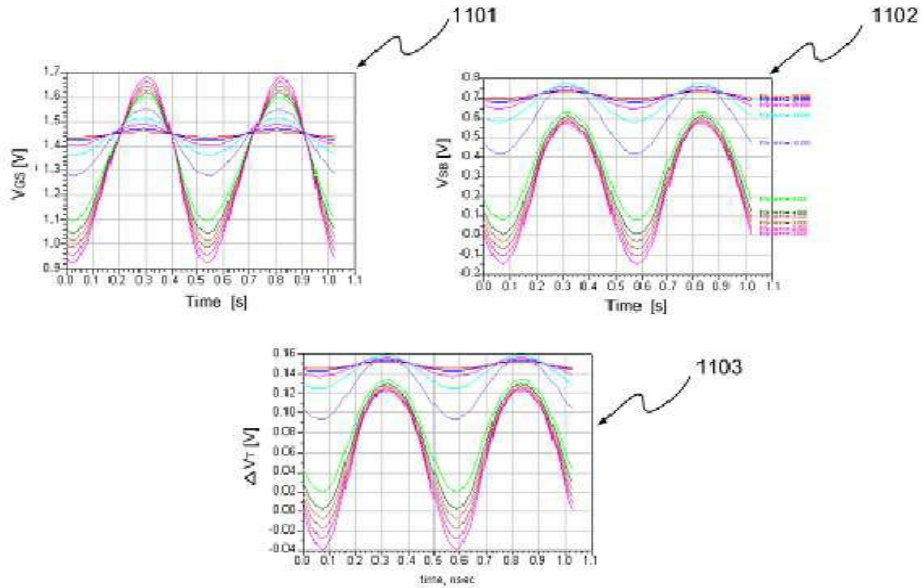
도면9



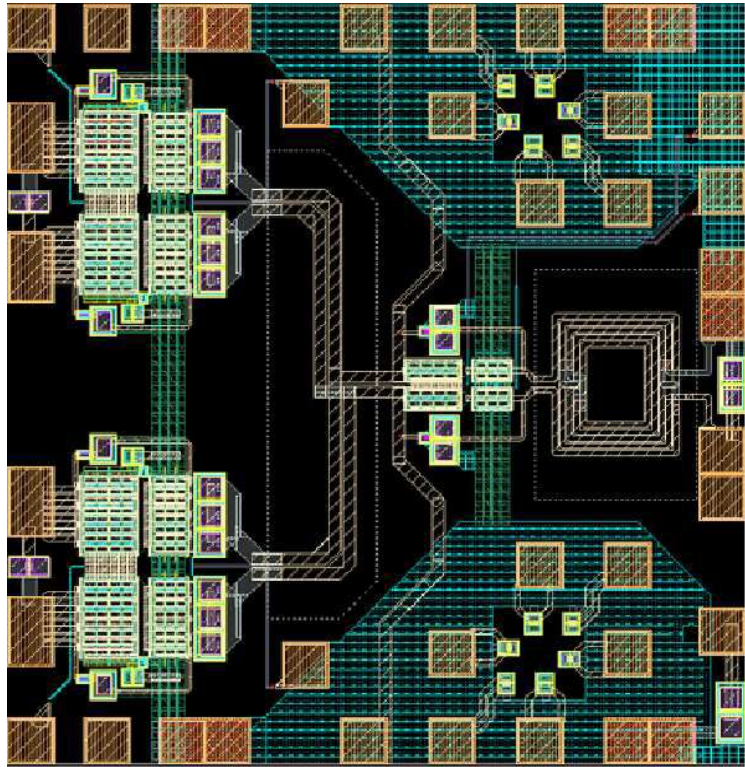
도면10



도면11



도면12



도면13

